



PATENT
Docket No. 20063/10005

**IN THE UNITED STATES PATENT
AND TRADEMARK OFFICE**

Applicant(s): CHO et al.

Serial No.: 10/627,418

Filed: July 25, 2003

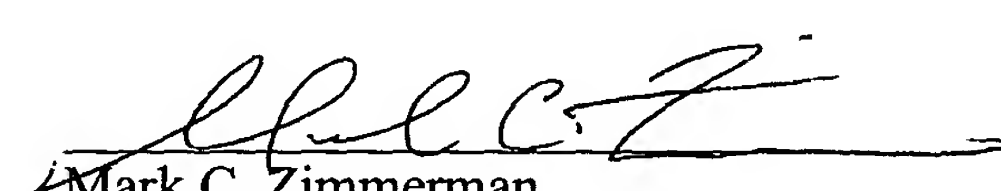
For: "Methods of Fabricating a
MOSFET"

Group Art Unit: Unknown

Examiner: Unknown

) I hereby certify that the documents
) referred to as enclosed herewith are
) being deposited with the United States
) Postal Service, first class postage
) prepaid, in an envelope addressed to
) the Commissioner for Patents, P.O.
) Box 1450, Alexandria, Virginia
) 22313-1450 on this date:

) **August 20, 2003**

) 
) Mark C. Zimmerman
) Reg. No. 44,006

TRANSMITTAL OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

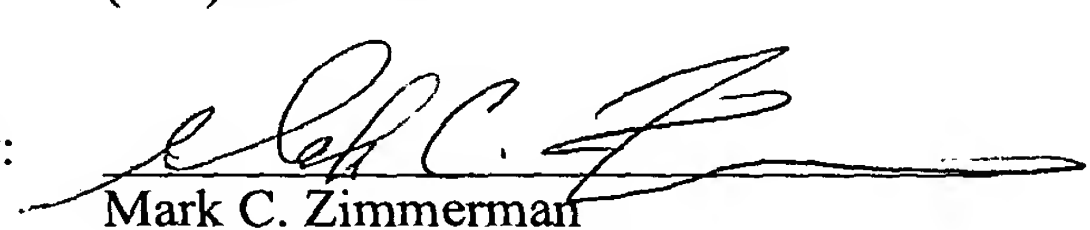
Sir:

Enclosed herewith is a certified copy of Korean Patent Application Serial
No. 10-2002-0043793 filed July 25, 2002, the priority of which is claimed under
35 U.S.C. § 119.

Respectfully submitted,

GROSSMAN & FLIGHT, LLC.
Suite 4220
20 North Wacker Drive
Chicago, Illinois 60606
(312) 580-1020

By:


Mark C. Zimmerman
Registration No.: 44,006

August 20, 2003



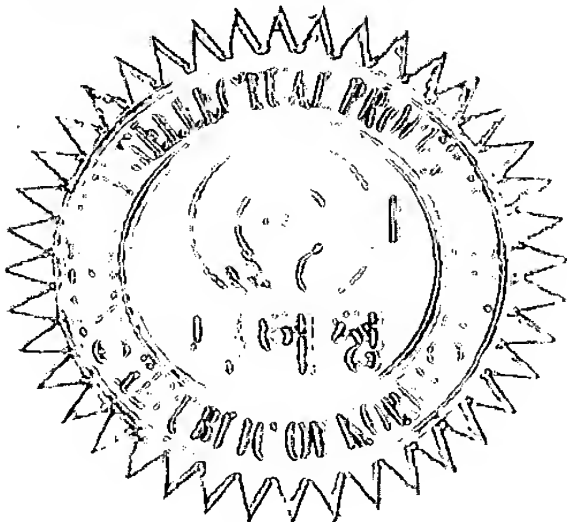
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2002-0043793
Application Number

출원 년 월 일 : 2002년 07월 25일
Date of Application JUL 25, 2002

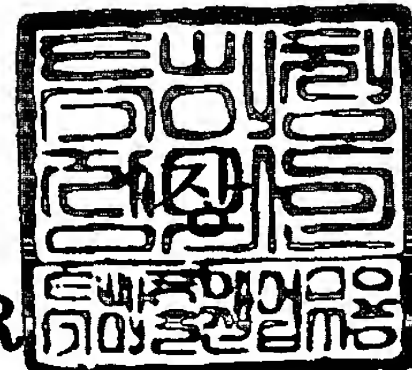
출원인 : 동부전자 주식회사
Applicant(s) DONGBU ELECTRONICS CO., LTD.



2003 년 07 월 18 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0003
【제출일자】	2002.07.25
【발명의 명칭】	모스펫의 제조 방법
【발명의 영문명칭】	Method of Manufacturing of MOSFET
【출원인】	
【명칭】	동부전자 주식회사
【출원인코드】	1-1998-106725-7
【대리인】	
【성명】	강성배
【대리인코드】	9-1999-000101-3
【포괄위임등록번호】	2001-050901-4
【발명자】	
【성명의 국문표기】	조용수
【성명의 영문표기】	CHO, Yong Soo
【주민등록번호】	611120-1456018
【우편번호】	302-741
【주소】	대전광역시 서구 만년동 강변아파트 103동 1103호
【국적】	KR
【발명자】	
【성명의 국문표기】	한승호
【성명의 영문표기】	HAHN, Seung Ho
【주민등록번호】	660109-1053119
【우편번호】	449-912
【주소】	경기도 용인시 구성면 마북리 연원마을 벽산아파트 126동 1004호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 강성배 (인)

【수수료】

【기본출원료】 13 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 4 항 237,000 원

【합계】 266,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 유효채널 길이를 확보하기 위한 모스펫의 제조 방법을 개시한다. 개시된 본 발명의 모스펫의 제조 방법은, 반도체 기판 상에 폴리실리콘 게이트 전극을 형성하는 단계; 상기 폴리실리콘 게이트 전극을 포함한 반도체 기판의 전영역 상에 제 1 불순물 도핑막을 형성하는 단계; 상기 제 1 불순물 도핑막에 소정의 불순물을 고정사각 포켓 이온주입을 하는 단계; 상기 제 1 불순물 도핑막 상에 절연막을 형성하는 동시에 상기 제 1 불순물 도핑막의 불순물을 반도체 기판에 확산시켜 상기 게이트 전극 양측의 기판 표면에 LDD 영역을 형성하는 단계; 상기 절연막과 제 1 불순물 도핑막을 전면 식각하여 스페이서를 형성하는 단계; 상기 스페이서를 포함한 폴리실리콘 게이트 전극 및 반도체 기판상에 제 2 불순물 도핑막을 형성하는 단계; 및 상기 제 2 불순물 도핑막의 불순물이 반도체 기판으로 확산 되도록, 상기 단계까지의 기판 결과물을 열처리하여 상기 스페이서를 구비한 폴리실리콘 게이트 전극 양측의 반도체 기판 표면에 소오스/드레인 영역을 형성하는 단계를 포함한다.

【대표도】

도 2e

【명세서】

【발명의 명칭】

모스펫의 제조 방법(Method of Manufacturing of MOSFET)

【도면의 간단한 설명】

도 1a 내지 도 1d는 종래기술에 따른 모스펫의 제조 방법을 설명하기 위한 공정 단면도.

2a 내지 도 2e는 본 발명의 실시예에 따른 모스펫의 제조 방법을 설명하기 위한 공정 단면도.

- 도면의 주요 부분에 대한 부호의 설명 -

21 : 반도체 기판	22a : 게이트 산화막
22b : 게이트 폴리실리콘	23 : 게이트 전극
24 : 제 1 불순물 도핑막	25 : 절연막
25a : 스페이서	26 : LDD 영역
27 : 제 2 불순물 도핑막	28 : 소오스/드레인 영역

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<9> 본 발명은 반도체 소자의 제조 방법에 관한 것으로, 보다 상세하게는, 유효채널 길이를 확보할 수 있는 모스펫(MOSFET)의 제조 방법에 관한 것이다.

<10> 주지된 바와 같이, 반도체 소자의 고집적화에 따라 게이트 전극의 선폭 감소가 이루어지고 있고, 이러한 게이트 전극의 선폭 감소에 의해 채널 길이가 감소되어 트랜지스터의 문턱 전

압(V_t)이 급격하게 줄어드는 단채널효과(Short Channel Effect)가 유발되는 바, 상기 단채널효과를 줄이기 위한 다양한 기술들이 제안되고 있다.

<11> 여기서, 상기 단채널효과를 방지하는 반도체 소자의 고집적화를 위해서 반드시 해결되어야 할 과제이며, 저도핑드레인(Lightly Doped Drain : 이하, LDD) 영역의 형성은 상기 단채널효과를 방지하기 위한 방법의 그 한 예이다.

<12> 도 1a 내지 도 1d는 종래 기술에 따른 LDD 영역을 갖는 MOS펄스의 제조 방법을 설명하기 위한 공정별 단면도로서, 이를 설명하면 다음과 같다.

<13> 먼저, 도 1a에 도시된 바와 같이, 반도체 기판(1) 상에 게이트 산화막(2a)과 게이트용 도전막, 즉, 폴리실리콘막(2b)을 차례로 형성하고, 상기 폴리실리콘막 (2b)과 게이트 산화막 (2a)을 식각하여 폴리실리콘 게이트 전극(3)을 형성한다.

<14> 그런다음, 도 1b에 도시된 바와 같이, 상기 결과물에 대해 저농도의 이온주입 과 열처리를 행하여 상기 폴리실리콘 게이트 전극(3) 양측의 기판 표면에 LDD 영역(6)을 형성한다.

<15> 다음으로, 도 1c에 도시된 바와 같이, 폴리실리콘 게이트 전극(3)을 포함한 반도체 기판(1)의 전 영역 상에 절연막을 형성하고, 이를 블랭킷 식각하여 상기 게이트 전극(3)의 양 측벽에 스페이서(5)를 형성한다.

<16> 그리고나서, 도 1d에 도시된 바와 같이, 상기 스페이서(5)를 포함한 게이트 전극(3) 양 측의 기판 부분에 불순물을 고농도로 이온주입한 후, 열처리를 행하여 LDD 영역(6)을 갖는 소오스/드레인 영역(8)을 형성한다.

【발명이 이루고자 하는 기술적 과제】

- <17> 그러나, 상기와 같은 종래 기술에 따른 모스펫의 제조 방법은 LDD 영역 및 소오스/드레인 영역을 불순물의 이온주입 및 열처리를 통해 형성하는 바, 채널 길이, 보다 정확하게는, 유효채널 길이의 확보에 어려움이 있다.
- <18> 특히, 이러한 문제는 게이트 전극의 임계치수가 감소됨에 따라 단채널효과 및 역단채널 효과에 의한 소자 특성의 열화가 심해지고 있는 추세에서 반드시 해결되어야 할 사항 중 하나이다.
- <19> 따라서, 본 발명은 상기와 같은 문제점을 해결하기 안출된 것으로서, 유효채널 길이를 확보할 수 있는 모스펫의 제조 방법을 제공함에 그 목적이 있다.

【발명의 구성 및 작용】

- <20> 상기와 같은 목적을 달성하기 위한 본 발명의 모스펫의 제조 방법은, 반도체 기판 상에 폴리실리콘 게이트 전극을 형성하는 단계; 상기 폴리실리콘 게이트 전극을 포함한 반도체 기판의 전 영역 상에 제 1 불순물 도핑막을 형성하는 단계; 상기 제 1 불순물 도핑막에 소정의 불순물을 고경사각 포켓 이온주입을 하는 단계; 상기 제 1 불순물 도핑막 상에 절연막을 형성하는 동시에 상기 제 1 불순물 도핑막의 불순물을 반도체 기판에 확산시켜 상기 게이트 전극 양측의 기판 표면에 LDD 영역을 형성하는 단계; 상기 절연막과 제 1 불순물 도핑막을 전면 식각하여 스페이서를 형성하는 단계; 상기 스페이서를 포함한 폴리실리콘 게이트 전극 및 반도체 기판상에 제 2 불순물 도핑막을 형성하는 단계; 및 상기 제 2 불순물 도핑막의 불순물이 반도체 기판으로 확산 되도록, 상기 단계까지의 기판 결과물을 열처리하여 상기 스페이서를 구비한

폴리실리콘 게이트 전극 양측의 반도체 기판 표면에 소오스/드레인 영역을 형성하는 단계를 포함하여 이루어진다.

<21> 본 발명은, 상기 제 1 불순물 도핑막이 BSG 또는 PSG로 형성되어, 후속의 절연막 형성시에 별도의 열처리 없이도 기판 표면에 상기 제 1 불순물 도핑막의 불순물을 확산시켜 LDD 영역을 형성할 수 가 있고, 상기 제 2 불순물 도핑막은 산화막이며, PECVD로 형성되었기 때문에, 후속의 열처리 공정만으로도 상기 제 2 불순물 도핑막의 불순물을 기판 표면에 확산 시켜 소오스/드레인 영역을 형성 할 수가 있다.

<22> (실시예)

<23> 이하, 첨부된 도면에 의거하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하도록 한다.

<24> 도 2a 내지 도 2e는 본 발명의 실시예에 따른 모스펫의 제조 방법을 설명하기 위한 각 공정별 단면도이다.

<25> 도 2a를 참조하면, 반도체 기판(21) 상에 게이트 산화막(22a)과 게이트용 도전막, 즉, 폴리실리콘막(22b)을 차례로 형성하고, 상기 폴리실리콘막(22b)과 게이트 산화막(22a)을 식각하여 폴리실리콘 게이트 전극(23)을 형성한다.

<26> 도 2b를 참조하면, 상기 폴리실리콘 게이트 전극(23)을 포함한 반도체 기판(21)의 전 영역 상에 제 1 불순물 도핑막(24)을 형성한다. 여기서, 상기 제 1 불순물 도핑막(24)은 BSG(Boro Silicate Glass) 또는 PSG(Phospho Silicate Glass)로 형성한다.

<27> 도 2c를 참조하면, 상기 제 1 불순물 도핑막(24) 상에 고정사각 포켓 이온주입(high tilt angle pocket ion implantation)을 수행하고, 이어, 상기 제 1 불순물 도핑막(24) 상에

LPCVD(Low Pressure Chemical Vapor Deposition) 공정으로 절연막(25)을 형성하면서, 상기 제 1 불순물 도핑막(24)에 도핑된 불순물을 반도체 기판(21)에 확산시켜 폴리실리콘 게이트 전극(23) 양측의 기판 표면에 LDD 영역(26)을 형성한다.

<28> 도 2d를 참조하면, 상기 절연막(25)과 제 1 불순물 도핑막(24)을 전면 식각하여 스페이서(25a)를 형성한다.

<29> 도 2e를 참조하면, 상기 스페이서(25a)를 포함한 폴리실리콘 게이트 전극(23) 및 반도체 기판(21) 상에 제 2 불순물 도핑막(27)을 형성한다. 여기서, 상기 제 2 불순물 도핑막(27)은 산화막이며, PECVD(Plasma Enhanced Chemical Vapor Deposition) 공정으로 형성되어진다. 다음으로, 상기 단계까지의 반도체 기판 결과물에 RTP(Rapid Thermal Process) 공정을 행하여, 상기 스페이서(25a)를 구비한 폴리실리콘 게이트 전극 양측(23)의 반도체 기판(21) 표면에 얇은 길이의 소오스/드레인 영역(28)을 형성한다.

<30> 여기서, 본 발명은, 상기 제 1 불순물 도핑막의 불순물을 반도체 기판에 확산시켜 LDD 영역을 형성하고, 아울러, 상기 제 2 불순물 도핑막의 불순물을 확산시켜 소오스/드레인 영역을 형성하므로, 이온주입 및 열처리에 의한 LDD영역 및 소오스/드레인 영역을 형성하는 종래의 방법에 비해 유효채널 길이를 확보하는 것이 용이하다.

【발명의 효과】

<31> 이상에서와 같이, 본 발명은 불순물의 확산을 통해 LDD 영역과 소오스/드레인 영역을 형성 하기 때문에, 유효채널 길이를 용이하게 확보 할 수 있으며. 그래서, 상기 유효채널 길이의 확보로 인하여, 본 발명은 게이트 전극의 길이가 0.1 μ m 이하인 모스펫의 제조에 용이하며, 또한, 단채널효과 및 역단채널효과를 개선 시킬수가 있다.

- <32> 또한, 본 발명은 불순물의 확산을 통해 LDD 영역 및 소오스/드레인 영역을 형성하는 바, LDD 영역을 형성하기 위한 별도의 열처리 공정과 소오스/드레인 영역을 형성하기 위한 이온주입 공정이 필요 하지 않으므로, 공정 단순화를 얻을 수 있다.
- <33> 기타, 본 발명은 그 요지가 일탈하지 않는 범위에서 다양하게 변경하여 실시할 수 있다.

【특허청구범위】**【청구항 1】**

반도체 기판 상에 폴리실리콘 게이트 전극을 형성하는 단계;

상기 폴리실리콘 게이트 전극을 포함한 반도체 기판의 전영역 상에 제 1 불순물 도핑막을 형성하는 단계;

상기 제 1 불순물 도핑막에 소정의 불순물을 고정사각 포켓 이온주입을 하는 단계;

상기 제 1 불순물 도핑막 상에 절연막을 형성하는 동시에 상기 제 1 불순물 도핑막의 불순물을 반도체 기판에 확산시켜 상기 게이트 전극 양측의 기판 표면에 LDD 영역을 형성하는 단계;

상기 절연막과 제 1 불순물 도핑막을 전면 식각하여 스페이서를 형성하는 단계;

상기 스페이서를 포함한 폴리실리콘 게이트 전극 및 반도체 기판상에 제 2 불순물 도핑막을 형성하는 단계; 및

상기 제 2 불순물 도핑막의 불순물이 반도체 기판으로 확산 되도록, 상기 단계까지의 기판 결과물을 열처리하여 상기 스페이서를 구비한 폴리실리콘 게이트 전극 양측의 반도체 기판 표면에 소오스/드레인 영역을 형성하는 단계를 포함하는 모스펫의 제조 방법.

【청구항 2】

제 1 항에 있어서, 상기 제 1 불순물 도핑막은 PSG(Phospho Silicate Glass) 또는 BSG(Boro Silicate Glass) 인 것을 특징으로 하는 모스펫의 제조 방법.

【청구항 3】

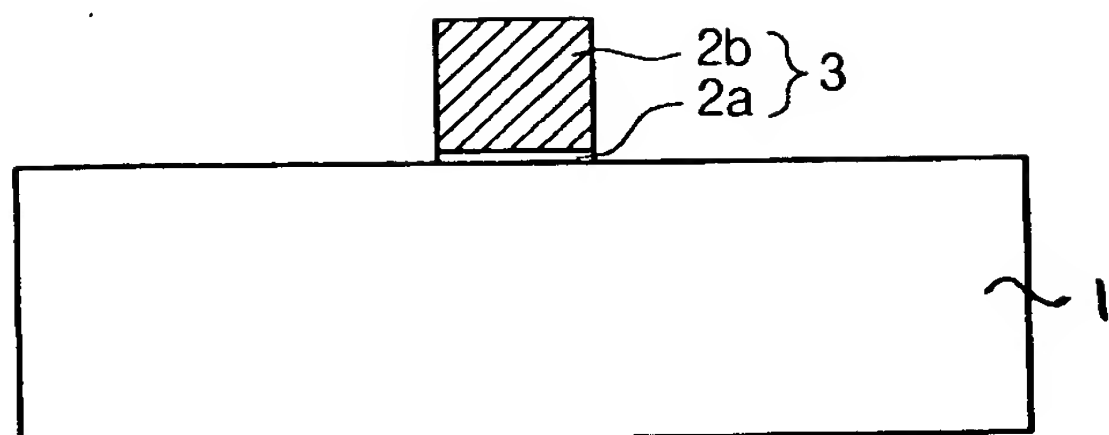
제 1 항에 있어서, 상기 제 2 불순물 도핑막은, 도핑된 산화막이며, PECVD(Plasma Enhanced Chemical Vapor Deposition)로 형성하는 것을 특징으로 하는 모스펫의 제조 방법,

【청구항 4】

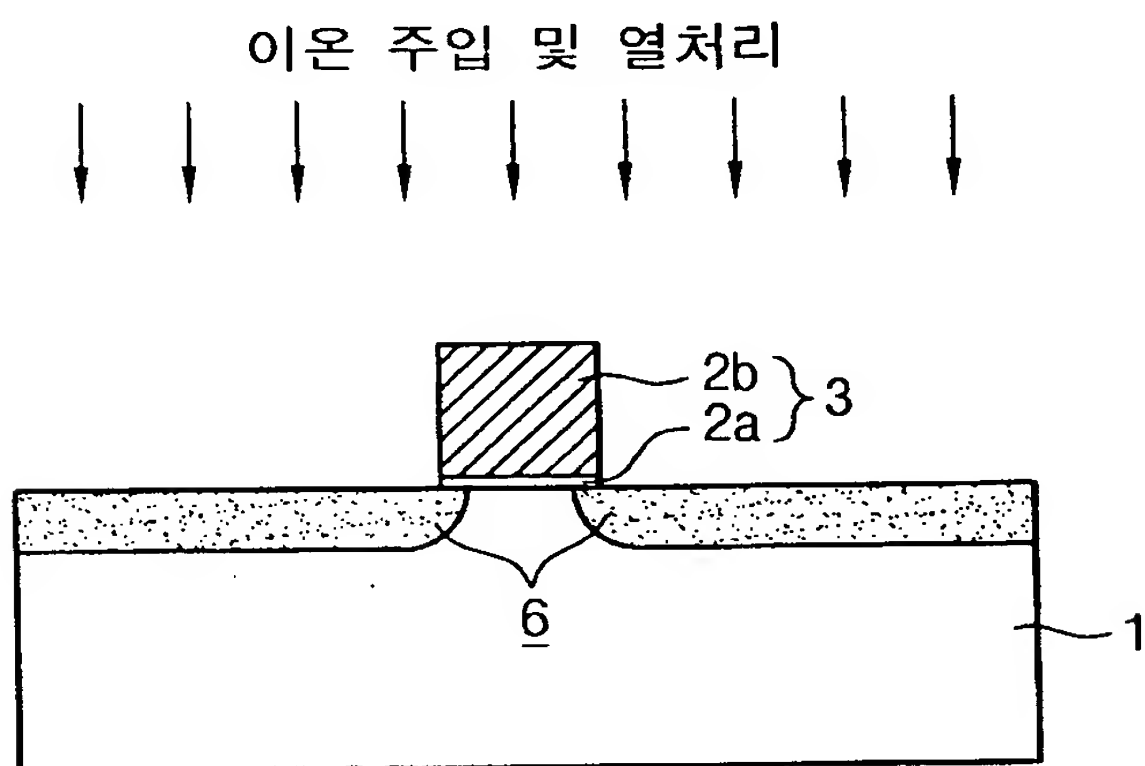
제 1 항에 있어서, 상기 열처리는 급속열공정(Rapid Thermal Process)으로 수행하는 것을 특징으로 하는 모스펫의 제조 방법.

【도면】

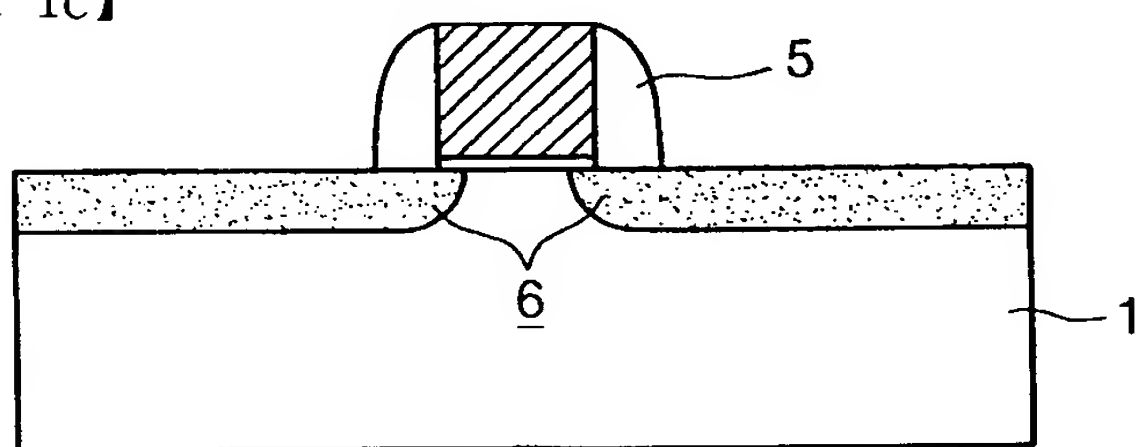
【도 1a】



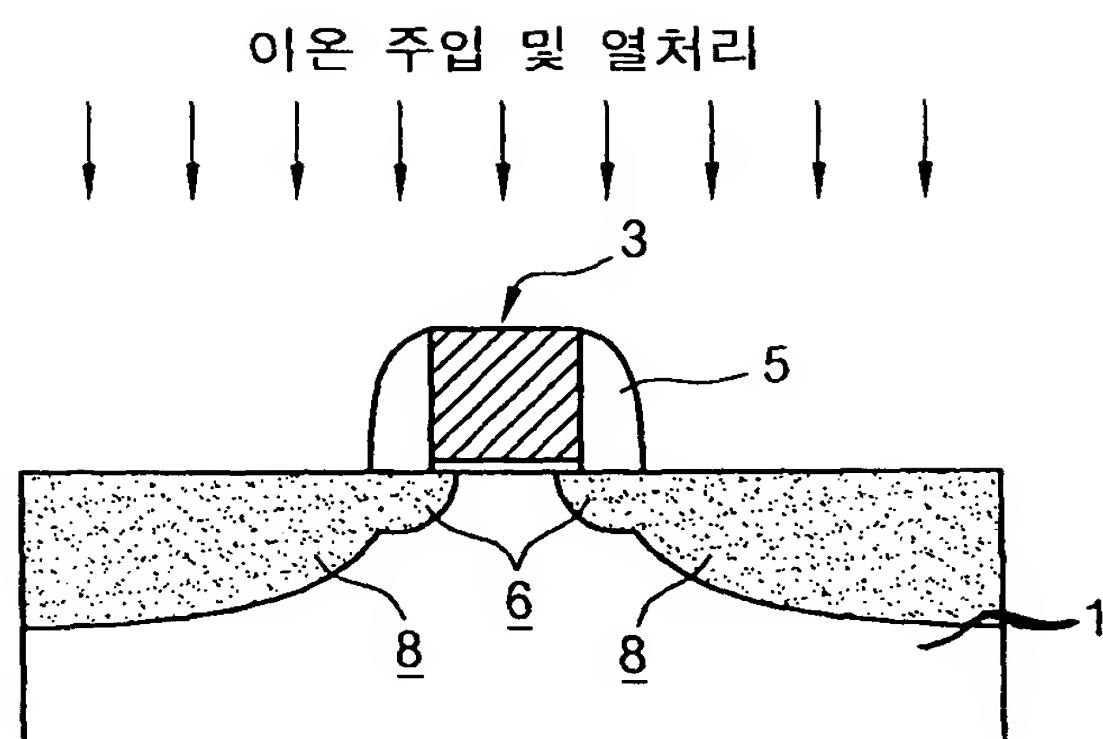
【도 1b】



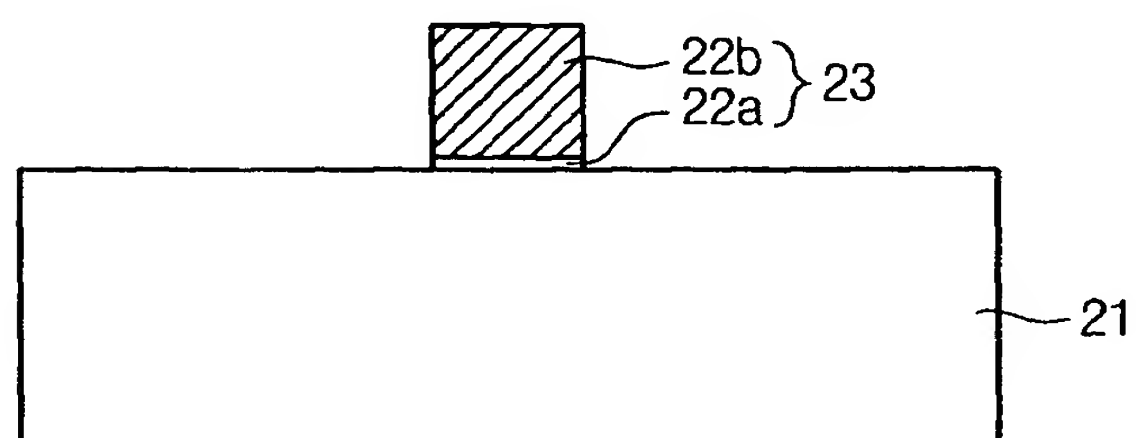
【도 1c】



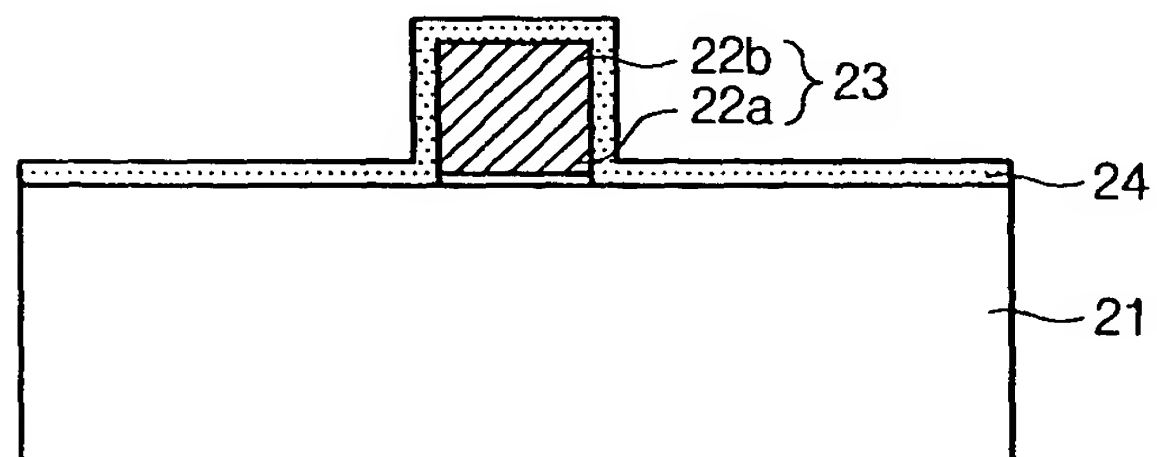
【도 1d】



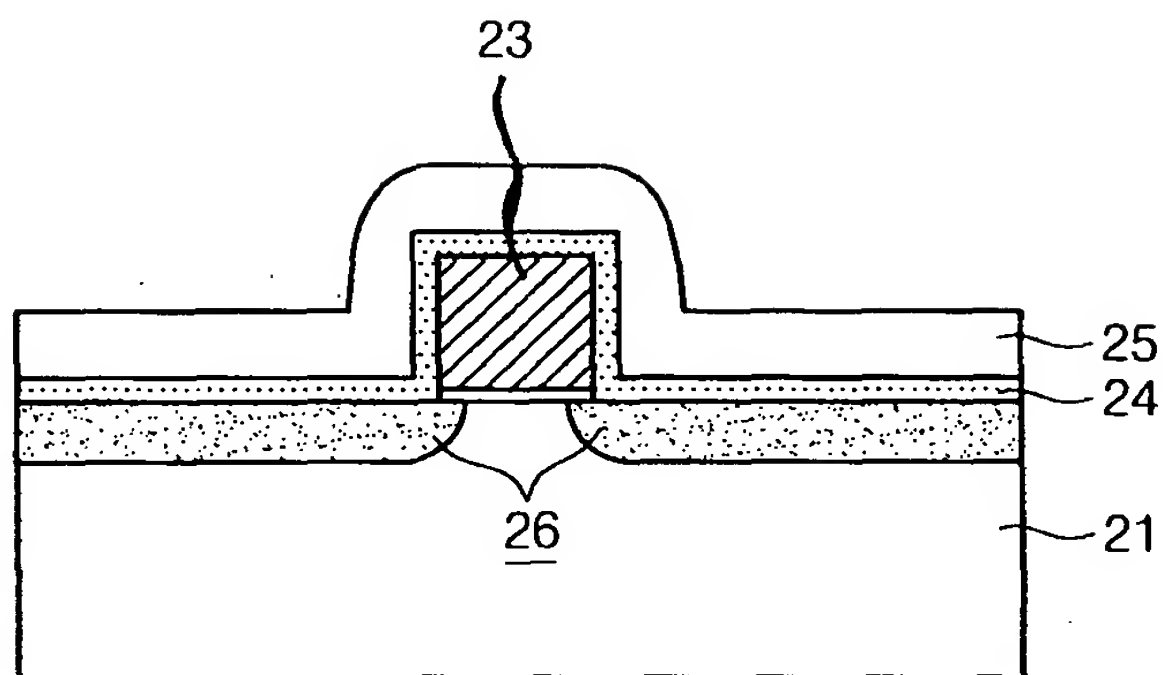
【도 2a】



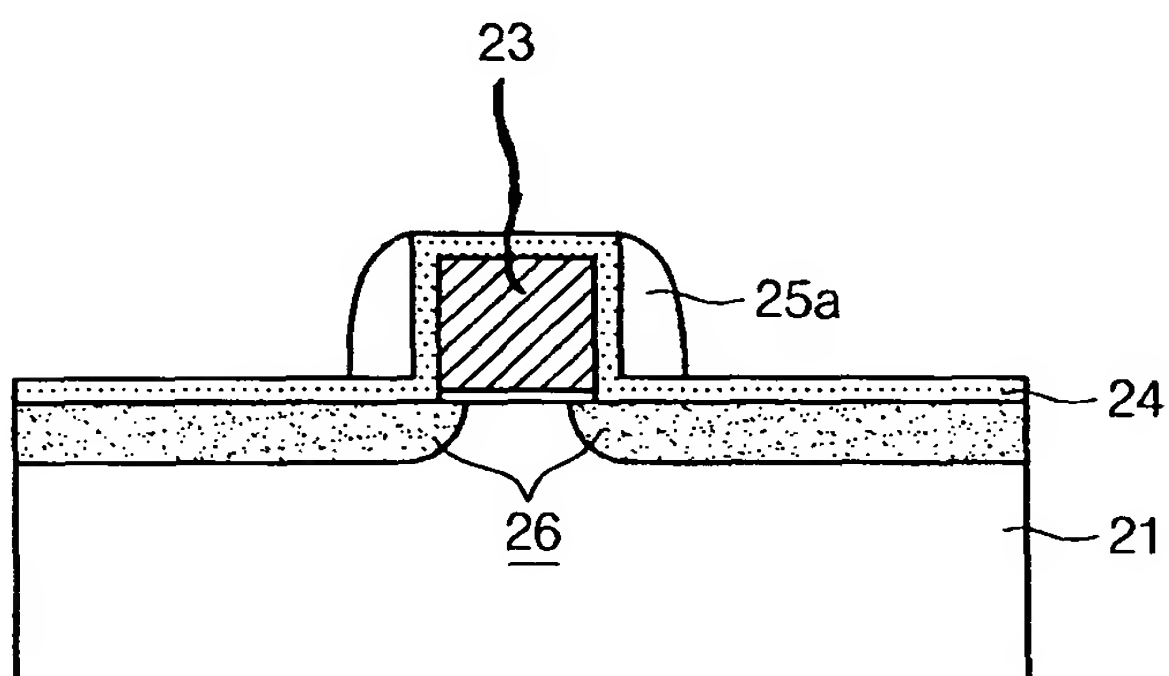
【도 2b】



【도 2c】



【도 2d】



【도 2e】

